

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0012813

Application Number

출원년월일 : 2003년 02월 28일
Date of Application FEB 28, 2003

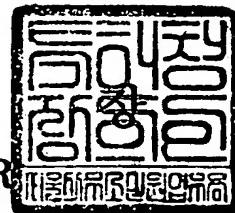
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003년 04월 21일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.02.28
【국제특허분류】	G11C
【발명의 명칭】	임피던스 스케일링에 의한 주파수 응답 제어 장치
【발명의 영문명칭】	Device for controlling frequency response by scaling impedance
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김재완
【성명의 영문표기】	KIM, Jae Wan
【주민등록번호】	720930-1105625
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산 7-1 삼성기술사 상록수동 1001호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

1020030012813

출력 일자: 2003/4/22

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	8	면	8,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	15	항	589,000	원
【합계】			626,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

임피던스 스케일링에 의한 주파수 응답 제어 장치가 개시된다. 본 발명에 따른 주파수 응답 제어 장치는 입력 신호의 소정 대역의 주파수 성분을 제거하여 출력 신호를 발생하는 필터와 듀티비 제어기를 구비한다. 필터는 임피던스 소자와 임피던스 소자에 직렬로 연결되며 듀티 제어된 클럭에 의해 개폐되는 스위치를 포함한다. 듀티비 제어기는 소정의 클럭 신호를 수신하고, 듀티 제어 신호에 응답하여 클럭 신호의 듀티를 조절하여 듀티 제어된 클럭을 발생한다. 듀티비 제어기는 듀티 제어 신호에 응답하여 클럭 신호를 소정 시간 지연하여 지연신호를 발생하는 지연소자와 클럭 단자로 클럭 신호를 수신하고 리셋 단자로 지연 신호를 수신하는 플립플롭을 포함한다. 본 발명에 의하면, 임피던스 소자에 연결되는 스위치에 인가되는 클럭의 듀티비를 조절함으로써, 임피던스 값의 스케일링이 가능하다. 예를 들어, 작은 임피던스 소자를 큰 임피던스 값으로 조절할 수 있다. 따라서, 임피던스 소자를 포함하는 필터 회로의 주파수 응답을 원하는 주파수 응답으로 용이하게 제어할 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

임피던스 스케일링에 의한 주파수 응답 제어 장치{Device for controlling frequency response by scaling impedance}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 1차 RC(저항-커패시터) 고대역 통과 필터를 나타내는 회로도이다.

도 2는 일반적인 액티브 RC 저역 통과 필터를 나타내는 회로도이다.

도 3은 디지털적으로 스위칭 가능한 커패시터 어레이를 나타내는 회로도이다.

도 4는 본 발명의 제1 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다.

도 5는 듀티 제어된 클럭의 파형도이다.

도 6은 도 1에 도시된 회로의 주파수 응답의 보드 플롯도이다.

도 7은 도 1에 도시된 회로에 500kHz의 사인파를 입력했을 때의 출력 파형을 FFT한 결과를 나타내는 도면이다.

도 8은 도 4에 도시된 회로에 500kHz의 사인파를 입력했을 때의 출력 파형을 FFT한 결과를 나타내는 도면이다.

도 9는 도 4에 도시된 회로의 주파수 응답의 보드 플롯도이다.

도 10은 본 발명의 제2 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다.

도 11은 듀티비 제어기의 일 구현예를 상세하게 나타내는 도면이다.

도 12는 본 발명의 제3 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다.

도 13은 본 발명의 제4 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다.

도 14는 본 발명의 제5 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 신호 필터링 장치에 관한 것으로, 특히 임피던스를 스케일링함으로써 주파수 응답 특성을 제어하는 장치에 관한 것이다.

<17> 소정의 주파수 응답을 가지고 신호를 필터링하는 회로에는 저항, 인덕터, 커패시터와 같은 임피던스 소자들이 기본적으로 사용된다. 필터 회로 구현시 때로는 매우 큰 값을 가지는 소자들이 요구되는데, 이러한 소자들은 큰 면적을 필요로 하기 때문에 IC(Integrated Circuit)에서 구현하는데 한계가 있다. 즉, 큰 소자는 칩 면적을 많이 차지하여 제조 원가를 상승시키며, 또한 큰 기생 커패시턴스(parastic capacitance)를 유발하여 신호를 왜곡하거나 감쇄시키는 문제점을 발생한다.

- <18> 매우 큰 저항을 필요로 하는 장치의 일 예로서, 무선통신시스템에서 일반적으로 사용되는 직접 변환 수신기의 디씨 오프셋(DC offset) 제거 회로를 들 수 있다.
- <19> 직접 변환 수신기에서 디씨 오프셋은 기저대역(baseband) 출력 단을 포화시킬 수 있기 때문에 일반적으로 저항과 커패시터로 구성된 고역 통과필터(high-pass filter)를 사용하여 제거된다. 그러나, 기저대역으로 떨어진 수신 신호는 영(zero)의 주파수 근처에서 의미있는 정보를 포함하기 때문에 매우 낮은 차단 주파수(cutoff frequency)를 가지는 고역 통과필터가 사용되어야 한다.
- <20> 일반적인 고역 통과 필터(high-pass filter)의 일 예가 도 1에 도시된다. 도 1에 도시된 필터는 1차 RC(저항-커패시터) 고역 통과 필터이다. 고역 통과필터가 낮은 차단 주파수를 갖기 위해서는 커패시터(C1) 및/또는 저항(R1)의 값이 커야 한다, 그런데, 큰 커패시터(C1) 및 저항(R1)은 칩 면적을 크게 차지하므로 칩적하기가 용이하지 않으며, 필터 출력 노드(V2)에 상당히 큰 기생 커패시턴스를 보이게 하여 신호를 크게 감쇠시키는 문제가 있다.
- <21> 도 2는 일반적인 액티브 RC 저역 통과 필터(low-pass filter)의 일 예를 도시한다. 저역 통과 필터 역시 저항들(R1, R2) 및 커패시터(C1)의 값에 의하여 주파수 응답이 달라진다. 따라서, 원하는 주파수 응답을 갖기 위해서는 저항(R1, R2) 및 커패시터(C1)의 값이 원하는 값으로 유지되어야 한다. 그런데, 일반적으로 저항이나 커패시터는 공정이나 온도의 변화에 의하여 그 값이 달라진다. 칩 내에서 공정, 전압, 온도의 변화에 따라 저항은 30~100%; 커패시터는 10~30% 가량 변화하게 되므로 원하는 필터의 주파수 응답을 얻기 위하여 저항이나 커패시터 소자의 튜닝이 필요하다. 일반적으로 저항값 보다는

커패시턴스를 조정하는데, 커패시턴스의 조절 방법으로는 도 3에 도시된 디지털적으로 스위칭 가능한 커패시터 어레이를 이용하는 방법이 많이 사용된다.

<22> 즉, 도 3에 도시된 바와 같이, 복수의 커패시터들(C11~C1n)을 병렬로 연결하고, 각 커패시터에 연결된 스위치(SW1~SWn)를 온/오프함으로써, 전체 커패시턴스를 조절한다. 그런데, 도 3에 도시된 방법은 다수의 스위치들(SW1~SWn)과 스위치들(SW1~SWn)을 제어하기 위한 제어 비트들(B1~Bn)을 필요로 하므로 회로가 복잡해지며, 튜닝의 정확도와 조절되는 커패시턴스의 범위가 커패시터 수 및 제어 비트 수에 의해 제한된다.

<23> 상술한 바와 같이, 종래에는 저항이나 커패시터의 값을 조절하는 회로가 복잡하여 필터의 주파수 응답 특성을 조절하기가 쉽지 않으며, 또한 필터 내에 큰 값의 저항이나 다수의 커패시터가 필요한 경우, 이를 구현하는데 많은 칩 면적이 소요되는 단점이 있다

<24> 따라서, 위와 같은 문제점을 해결하기 위하여 임피던스 값을 간단하게 조절함으로써, 필터의 주파수 특성을 용이하게 제어하는 장치가 필요하다.

【발명이 이루고자 하는 기술적 과제】

<25> 따라서 본 발명이 이루고자 하는 기술적 과제는 임피던스 소자의 값을 스케일링함으로써 임피던스 소자의 크기를 줄일 수 있고, 제조 공정이나 온도 등에 의해 달라지는 임피던스 값을 스케일링함으로써 필터의 주파수 응답을 용이하게 제어할 수 있는 장치를 제공하는 것이다.

【발명의 구성 및 작용】

- <26> 상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 장치는 입력 신호의 소정 대역의 주파수 성분을 제거하여 출력 신호를 발생하는 필터로서, 임피던스 소자; 상기 임피던스 소자에 직렬로 연결되며 듀티 제어된 클럭에 의해 개폐되는 스위치;를 포함하는 상기 필터; 및 클럭 신호를 수신하고, 상기 클럭 신호의 듀티를 조절하여 상기 듀티 제어된 클럭을 발생하는 듀티비 제어기를 구비한다.
- <27> 바람직하기로는, 상기 듀티비 제어기는 클럭 단자로 상기 클럭 신호가 입력되고, 리셋 단자로 상기 클럭 신호를 소정 시간 지연한 지연 신호가 입력되는 플립플롭을 포함한다.
- <28> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 장치는 입력 신호의 소정 대역의 주파수 성분을 제거하여 출력 신호를 발생하는 필터로서, 임피던스 소자; 상기 임피던스 소자에 직렬로 연결되며 듀티 제어된 클럭에 의해 개폐되는 스위치;를 포함하는 상기 필터; 및 상기 듀티 제어된 클럭을 발생하는 듀티비 제어기를 구비하며, 상기 필터의 주파수 응답은 상기 듀티 제어된 클럭의 듀티비에 응답한다.
- <29> 바람직하기로는, 상기 듀티비 제어기는 클럭 신호를 수신하고, 소정의 듀티 제어 신호에 응답하여 상기 듀티 제어된 클럭을 발생한다.
- <30> 또한 바람직하기로는, 상기 스위치는 상기 주파수 응답 제어 장치의 입력 노드와 출력 노드간에 상기 스위치를 포함하는 신호 경로외의 다른 신호 경로가 있는 경우에만 상기 입력 노드와 상기 출력 노드간 신호 경로에 위치한다.

- <31> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <33> 도 4는 본 발명의 제1 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다. 이를 참조하면, 본 발명의 제1 실시예에 따른 장치는 듀티비 제어기(100) 및 필터(400)를 포함한다.
- <34> 듀티비 제어기(100)는 듀티 제어 신호(CS)에 응답하여 클럭 신호(CLK)의 듀티(duty)를 조절하여 듀티 제어된 클럭(DC_CLK)을 발생한다. 클럭 신호(CLK)는 50% 듀티를 가지는 신호인 것이 바람직하다. 50% 듀티를 가지는 클럭 신호(CLK)는 하이레벨 구간과 로우레벨 구간이 동일한 신호, 즉 한 구간에서 하이레벨 구간이 차지하는 비율이 50%인 신호이다. 듀티 제어된 클럭(DC_CLK)의 파형이 도 5에 도시된다. 이를 참조하면, 듀티 제어된 클럭(DC_CLK)의 듀티는 T_{on}/T_s 이다. 도 5에서 T_{on} 이 T_s 의 $1/2$ 이면, 상술한 50% 듀티 신호이다. 듀티 제어된 클럭(DC_CLK)은 입력 신호 대역보다 최소한 두 배 이상의 주파수를 가지는 것이 바람직하다.
- <35> 필터(400)는 고역 통과 필터로서, 저항(R1), 커패시터(C1) 및 스위치(SW)를 포함한다. 커패시터(C1)는 입력 전압(VIN) 노드와 출력 전압(VOUT) 노드 사이에 연결된다. 저항(R1)과 스위치(SW)는 출력 전압(VOUT) 노드와 접지 전압(ground) 사이에 직렬로 연결된다. 스위치(SW)는 듀티비 제어기(100)에서 출력되는 듀티 제어된 클럭(DC_CLK)에 응답하여 개폐된다.

<36> 도 4와 같이, 저항(R1)에 스위치(SW)를 직렬로 연결하고 스위치(SW)를 듀티 제어된 클럭(DC_CLK)에 의하여 스위칭함으로써, 출력 전압(VOUT) 노드에서 바라보는 등가 저항(ZOUT)을 스케일링할 수 있다.

<37> 도 1과 같이 저항(R1)에 스위치가 연결되지 않은 경우에, 출력 전압 노드에서 바라보는 임피던스(ZOUT)는 다음의 수학식 1과 같다.

$$<38> \text{【수학식 1】 } ZOUT = \frac{VOUT}{I1}$$

<39> 여기서, VOUT은 출력 노드의 전압이고, I1은 저항(R1)에 흐르는 전류이다.

<40> 반면, 도 4와 같이, 듀티 제어된 클럭(DC_CLK)에 의해 스위칭되는 저항 회로의 경우, 출력 전압(VOUT) 노드에서 바라보는 등가 저항(ZOUT)은 다음 식과 같이 나타낼 수 있다.

$$<41> \text{【수학식 2】 } ZOUT = \frac{VOUT}{I_{avg}} = \frac{VOUT}{I1 \left(\frac{T_{on}}{T_s} \right)} = \frac{VOUT}{I1} \left(\frac{T_s}{T_{on}} \right) = R1 \left(\frac{T_s}{T_{on}} \right)$$

<42> 여기서, VOUT은 출력 노드의 전압이고, Iavg는 저항(R1)에 흐르는 평균전류이며, I1은 스위치(SW)가 켜져 있을 때 저항(R1)에 흐르는 전류이다. 그리고, Ton/Ts는 듀티 제어된 클럭(DC_CLK)의 듀티비이다.

<43> 도 4의 회로에서 스위치(SW)가 켜져 있을 때, 즉 Ton 시간 일 때, 저항(R1)으로 'I1'의 전류가 흐르고, 스위치(SW)가 꺼질 때는 저항으로 0의 전류가 흐르므로 평균 전류 Iavg는 I1 전류가 Ton/Ts 비로 스케일링된다는 것을 쉽게 유추할 수 있다. 따라서, 수학식 2에 따라 듀티 제어된 클럭(DC_CLK)의 듀티 비(Ton/Ts)를 조절하면 임피던스 (ZOUT)를 변화시킬 수 있다.

<44> 도 4의 회로에서 듀티 제어된 클럭(DC_CLK)의 듀티 비(Ton/Ts)가 줄어들면 임피던스(ZOUT)가 커지므로 작은 저항(R1)을 사용하여도 등가적으로는 큰 저항이 된다. 그러므로, 듀티 제어된 클럭(DC_CLK)의 듀티 비를 줄이면 그 비에 따라 저항 값(ZOUT)이 바뀌므로 필터(400)의 차단 주파수를 제어할 수 있다.

<45> 저항값의 스케일링에 의하여 필터의 주파수 특성을 조절하는 본 발명의 개념을 모의 실험을 통하여 검증하면 다음과 같다.

<46> 먼저, 도 1의 장치에서 C1=10pF, R1=10kΩ로 설정하면, 도 1의 고역 통과필터의 차단 주파수(f_c)는 다음의 수학식 3과 같다.

<47> 【수학식 3】 $f_c = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi \times 10k \times 10p} \# 1.6MHz$

<48> 따라서, 도 1에 도시된 필터의 주파수 응답의 보드 플롯(Bode plot)은 도 6에 도시된 바와 같다. 도 1의 고역 통과필터의 크기(magnitude) 응답은 다음의 수학식 4와 같으므로, 500kHz의 사인파(sign wave)를 입력하게 되면 출력 파형은 -10.5dB 감쇠한다.

<49>

$$\text{【수학식 4】 } 20\log|T(jw)| = 20\log\left[\frac{f}{f_c}\right] - 10\log\left[1 + \left(\frac{f}{f_c}\right)^2\right]$$

$$20\log|T(j2\pi 500k)| = 20\log\left[\frac{500k}{1.6M}\right] - 10\log\left[1 + \left(\frac{500k}{1.6M}\right)^2\right]$$

<50> 이번에는, 도 4에 도시된 고역 통과필터 커패시터(C1)와 저항(R1) 값을 도 1에 도시된 커패시터(C1) 및 저항(R1) 값과 각각 동일하게 하고, 듀티 제어된 클럭(DC_CLK)의 듀티 비를 10%, 즉 Ton/Ts= 25n/250n=1/10로 설정한 경우를 가정한다. 그러면, 도 4에 도시된 필터의 저항(R1)은 스케일링에 의해 10배 커진 것처럼 보이므로 이상적으로는 도 4의 필터의 차단 주파수(f_c)는 수학식 5와 같이 160kHz로 낮아져야 한다.

<51>

$$f_c = \frac{1}{2\pi R_1 s \left[\frac{T_s}{T_{on}} \right] s C_1} = \frac{1}{2\pi \times 10k \times 10s \times 10p} \# 160kHz$$

【수학식 5】

<52> 따라서, 도 1에 도시된 회로에 입력한 신호와 동일한 500kHz의 사인파를 도 4에 도시된 회로에 가하였을 때, 수학식 4를 이용하여 출력 파형의 크기를 계산하면 -0.4dB만 감쇠한다. 즉, 동일한 입력 조건에서 도 1의 장치의 출력 파형과 도 4의 출력 파형은 약 10dB 가량의 크기 차를 보이게 될 것이다.

<53> 상기 사항을 확인하기 위해, 도 1 및 도 4의 회로에 500kHz의 사인파를 입력하였을 때의 출력 파형을 FFT(Fast Fourier Transform)하였다. 그 결과가 도 7과 도 8에 도시된다. 도 7은 도 1의 장치에 500kHz의 사인파를 입력하고, 그 때의 출력 파형을 FFT(Fast Fourier Transform)한 결과를 나타내며, 도 8은 도 4의 회로에 500kHz의 사인파를 입력하고, 그 때의 출력 파형을 FFT(Fast Fourier Transform)한 결과를 나타낸다. 여기서, x 축은 주파수, y축은 출력 신호의 크기를 dB로 표시한 것이다.

<54> 예측한 결과대로 500kHz에서 두 출력 신호의 크기는 정확하게 10dB의 차이를 보였다. 따라서, 모의실험 결과, 도 4에 도시된 바와 같이 스위치(SW)와 연결된 저항은 등가 회로적으로 10배 큰 저항으로 스케일링된다는 것이 검증되었다. 따라서, 임피던스 스케일링을 통하여 도 6의 주파수 응답은 도 9의 주파수 응답으로 변경된다. 도 6 및 도 9에서 알 수 있듯이 임피던스를 10배 스케일링함으로써 차단 주파수가 1/10로 조절된다. 도 9는 도 4에 도시된 회로의 주파수 응답을 나타낸다.

- <55> 본 발명의 제1 실시예에서는 저항 소자를 스케일링함으로써, 주파수 응답을 조절하는 장치가 도시되어 있으나, 상술한 임피던스 스케일링을 통한 주파수 응답 조절 방법은 저항 뿐만 아니라 커패시터, 인덕터와 같은 임피던스 소자 모두에 동일하게 적용된다.
- <56> 도 4에 도시된 본 발명의 제1 실시예에 따른 장치는 도 8에 도시된 바와 같이 하모닉들(harmonics)을 발생시킬 수 있다. 그 이유는 본 발명의 제1 실시예에 따른 장치를 구현하는데 사용된 스위치(도 4의 SW)가 이상적인 스위치가 아니라 0.18um 공정의 모오스 트랜지스터(MOS transistor) 스위치가 사용되었기 때문이다.
- <57> 모오스 트랜지스터 스위치를 사용함으로써 회로의 전달함수가 출력 전압과 시간에 따라 비선형적으로 변화하기 때문에 이로 인하여 하모닉들이 발생된다. 이 하모닉들은 줄이기 위해서는 도 13에 도시된 본 발명의 제 4 실시예와 같이 완전 차동(fully differential) 회로로 구성하는 것이 바람직하다. 본 발명의 제4 실시예에 대해서는 후술된다.
- <58> 도 10은 본 발명의 제 2 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다. 이를 참조하면, 본 발명의 제 2 실시예에 따른 장치는 듀티비 제어기(100) 및 필터(500)를 포함한다.
- <59> 듀티비 제어기(100)는 도 4에 도시된 듀티비 제어기(100)와 동일하므로 여기서 상세한 설명은 생략한다.
- <60> 필터(500)는 저역통과필터로서, 저항들(R1,R2), 커패시터(C1), 스위치(SW) 및 증폭기(510)를 포함한다. 입력 전압(VIN)은 저항(R2)을 통하여 증폭기(510)의 부(-)단자로 입력된다. 커패시터(C1) 및 스위치(SW)는 증폭기(510)의 부(-)단자와 출력 전압(VOUT)

노드 사이에 직렬로 연결되며, 저항(R1)은 직렬로 연결된 커패시터(C1) 및 스위치(SW)에 병렬로 연결된다. 스위치(SW)는 듀티비 제어기(500)에서 출력되는 듀티 제어된 클럭(DC_CLK)에 응답하여 개폐된다.

<61> 본 발명의 제2 실시예에서는 스위치(SW)가 커패시터(C1)에 직렬로 연결된다. 따라서, 전체 커패시터의 값을 스케일링하는 효과가 있다. 커패시터의 값이 스케일링되면 필터(500)의 주파수 응답이 달라진다.

<62> 도 11은 듀티비 제어기의 일 구현예를 상세하게 도시하는 회로도이다. 이를 참조하면, 듀티비 제어기(100)는 플립플롭(110)과 지연소자(120)를 포함한다. 플립플롭(110)은 클럭 단자(CK)로 클럭 신호(CLK)가 입력되고, 리셋 단자(RESET)로는 클럭 신호(CLK)를 소정 시간 지연한 지연 신호(DEL_CLK)가 입력되고, 입력 단자(D)로는 전원전압이 입력되는 D 플립플롭이다. 지연소자(120)는 듀티 제어 신호(CS)에 응답하여 클럭 신호(CLK)를 소정 시간 지연하여 출력한다. 도 11에서 지연소자(120)는 두개의 인버터(121, 122)를 이용하여 간단히 구성된다. 듀티 제어 신호(CS)는 인버터(121, 122)의 지연시간을 제어하게 된다. 따라서, 플립플롭(110)의 출력 단자(Q)로부터 출력되는 듀티 제어된 클럭(DC_CLK)의 드티는 인버터(121, 122)의 지연시간에 의하여 결정된다. 인버터(121, 122)의 지연시간은 인버터(121, 122)에 인가되는 전원 전압을 조절하거나 또는 인버터(121, 122)에 흐르는 전류량을 조절함으로써 제어할 수 있다.

<63> 도 12는 본 발명의 제 3 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다. 본 발명의 제 3 실시예에 따른 장치 역시 듀티비 제어기(100)와 필터(600)를 포함한다. 듀티비 제어기(100)는 도 10에 도시된 바와 동일하므로 도 12에서는 생략된다. 필터(600)의 구성은 제2 실시예의 필터(500)의 구성과 유사하다.

다만 차이점은 도 12에서는 스위치(SW)가 커패시터(C1)에 직렬로 연결되는 것이 아니라, 저항(R1)에 직렬로 연결된다는 점이다.

<64> 즉, 저항(R1) 및 스위치(SW)가 증폭기(610)의 부(-)단자와 출력 전압(VOUT) 노드 사이에 직렬로 연결되며, 커패시터(C1)는 직렬로 연결된 저항(R1) 및 스위치(SW)에 병렬로 연결된다. 따라서, 저항값이 스케일링되는 효과가 있다. 저항값이 스케일링되면, 본 발명의 제1 실시예에서 상술한 바와 같이 필터(600)의 주파수 응답 역시 달라진다. 제 2 실시예와의 차이점은 제 2 실시예는 필터의 이득은 고정되어 있고 차단 주파수만 제어되는데 비해 제 3 실시예는 필터의 이득도 조절할 수 있다.

<65> 도 13은 본 발명의 제 4 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다. 본 발명의 제 4 실시예에 따른 장치는 듀티비 제어기(100) 및 필터(700)를 포함하는데, 듀티비 제어기(100)는 도 10에 도시된 바와 동일하므로 여기서는 생략된다.

<66> 필터(700)는 고역 통과필터로서 차동 회로로 구현된다. 필터(700)는 저항들(R1, R2), 커패시터들(C1, C2), 스위치(SW1, SW2)들을 포함한다. 제1 커패시터(C1)는 정입력노드와 정 출력노드 사이에, 제2 커패시터(C2)는 부 입력노드와 부 출력노드 사이에 연결된다. 정 출력 노드와 바이어스 노드 사이에는 제1 저항(R1)과 제1 스위치(SW1)가 직렬로 연결되고, 부 출력노드와 바이어스 전압(VBIAS) 노드 사이에는 제2 저항(R2)과 제2 스위치(SW2)가 직렬로 연결된다.

<67> 입력 전압(VIN)은 입력노드들에 인가되고 출력노드를 통해 출력 전압(VOUT)이 발생된다. 바이어스 전압 노드에 인가되는 바이어스 전압(VBIAS)은 출력 전압(VOUT)을 바이어스하는 역할을 한다. 제1 및 제2 스위치(SW1, SW2)로는 듀티 제어된 클럭(DC_CLK)이

인가된다. 제1 및 제2 스위치(SW1, SW2)는 모오스 트랜지스터로 구현되는 것이 바람직하다.

<68> 도 13에 도시된 본 발명의 제4 실시예에 따른 장치는 도 10에 도시된 제1 실시예에 따른 장치와 마찬가지로, 저항 소자를 스케일링함으로써 주파수 응답을 조절한다.

<69> 도 14는 본 발명의 제 5 실시예에 따른 임피던스 스케일링에 의한 주파수 응답 제어 장치를 나타내는 도면이다. 본 발명의 제 5 실시예에 따른 장치는 뉴티비 제어기(100) 및 AC 커플링 회로(800)를 포함하는데, 뉴티비 제어기(100)는 도 10에 도시된 바와 동일하므로 여기서는 생략된다.

<70> AC 커플링 회로(800)는 입력 노드로 수신되는 입력 신호(VIN)의 DC 성분을 제거하고 소정의 차단 주파수 이상의 AC 성분만 출력 노드(N0)로 전달하는 고역 통과 필터의 역할을 하는 동시에, 출력 노드(N0)를 소정의 DC 전압으로 바이어스하는 역할을 한다. AC 커플링 회로(800)는 AC 커플링 커패시터(C1) 및 바이어스 회로(810)를 포함한다, 바이어스 회로(810)는 스위치(SW1), 저항(R1), 전류원(811) 및 모오스 트랜지스터(M2)를 포함한다. 스위치(SW1)는 저항(R1)에 직렬로 연결되어 저항(R1)을 스케일링하는 역할을 한다.

<71> 모오스 트랜지스터(M2)는 드레인과 게이트가 상호 연결되어 다이오드 역할을 한다. 모오스 트랜지스터(M2)를 흐르는 전류량에 의하여 모오스 트랜지스터(M2)의 게이트 노드(N1)의 DC 전압이 결정된다. 모오스 트랜지스터(M2)의 게이트는 저항(R1) 및 스위치(SW1)를 거쳐 출력 노드(N0)에 연결되므로, 출력 노드(N0)의 DC 전압은 모오스 트랜지스터(M2)의 게이트 노드(N1)의 DC 전압에 의하여 결정된다.

<72> 도 14에 도시된 회로에서, 저항(R1) 및 스위치(SW1) 대신에 적은 값의 저항이 사용된다면, 입력 신호가 모오스 트랜지스터(M1)의 게이트로 전달될 때, 입력 신호의 손실이 많이 발생된다. 입력 신호가 바이어스 회로(810) 쪽으로도 많이 전달되기 때문이다. 입력 신호의 손실을 줄이기 위해서는 바이어스 회로(810)에 큰 저항이 사용되는 것이 바람직한데, 물리적으로 큰 저항은 큰 기생 커패시턴스 및 넓은 칩 면적 등의 문제점을 야기 시킨다. 따라서, 도 14에 도시된 바와 같이, 저항에 스위치를 연결하여, 저항값을 크게 스케일링함으로써 상기 문제점을 최소화할 수 있다. 또한, 저항의 스케일링에 의해 회로의 주파수 특성이 조절됨으로써, 기존의 AC 커플링에서 불가능하였던 낮은 주파수의 입력 신호도 용이하게 전달할 수 있다.

<73> 상술한 본 발명의 실시예들에서 임피던스 소자에 직렬로 연결되는 스위치는 오프(off) 저항이 충분히 큰 모오스 트랜지스터로 구현되는 것이 바람직하다. 스위치의 오프 저항이 작으면, 평균 전류의 누설이 커지고 출력 전압에 따른 저항의 비선형적인 변화량이 커져서 하모닉이 커진다. 그리고, 스위치에 인가되는 듀티 제어된 클럭(DC_CLK)의 듀티 비는 출력 신호의 하모닉이 소정 레벨 이하가 되도록 충분히 작은 것이 바람직하다. 듀티 제어된 클럭(DC_CLK)의 듀티 비가 작을수록 회로의 출력 신호의 하모닉도 비례하여 줄어드는데, 이는 스위치가 온(on)되어 있는 동안에 출력 신호에 따라 모오스 스위치의 전달 특성이 미세하게 비선형적으로 바뀌기 때문이다. 따라서, 스위치의 온(on) 시간을 줄여주면 하모닉도 비례하여 줄어들게 된다.

<74> 본 발명의 실시예들에서 임피던스 소자에 직렬로 연결되는 스위치는 회로에서 입력 노드와 출력 노드 사이에 신호 경로가 하나만 존재하는 경우에는, 그 경로 상에 위치하지 않는 것이 바람직하다. 즉, 스위치는 주파수 응답 제어 장치의 입력 노드와 출력 노

드간의 신호 경로를 제외한 다른 신호 경로에 위치하거나, 입력 노드와 출력 노드간에 스위치를 포함하는 신호 경로 외의 다른 신호 경로가 있는 경우에 상기 입력 노드와 상기 출력 노드간 신호 경로에 위치하는 것이 바람직하다. 따라서, 스위치는 입력 노드와 출력 노드간의 신호 경로 상에는 위치 할 수 없으나, 상기 스위치를 포함한 신호 경로 외에 다른 신호 경로에 의해 입력 노드와 출력 노드가 연결되는 경우에는 입력 노드와 출력 노드간 신호 경로 상에 위치할 수 있다. 그 이유는 입력신호가 스위치를 통하여 출력 노드로 전달되는 경우에는 연속 신호(continuous signal)가 이산 신호(discrete signal)로 바뀌기 때문이다.

<75> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<76> 본 발명에 의하면, 임피던스 소자에 연결되는 스위치에 인가되는 클럭의 듀티비를 조절함으로써, 작은 임피던스 소자를 큰 임피던스 값으로 스케일링할 수 있다. 즉, 클럭의 듀티비 조절을 통하여 작은 임피던스 소자로서 칩 내에서 집적하기 어려운 상당히 큰 임피던스 값을 쉽게 구현할 수 있다. 또한, 임피던스 스케일링을 통하여 제조 공정이나 온도 등에 의해 달라지는 임피던스 값을 용이하게 조절할 수 있다. 이와 같이 임피던스 값을 스케일링함으로써, 임피던스 소자를 포함하는 회로의 주파수 응답을 원하는 주파수 응답으로 용이하게 제어할 수 있는 효과가 있다.

<77> 또한 본 발명에서 의하면, 임피던스 값이 칩 내에서 비교적 정밀한 클럭의 둑티 비에 의해서 결정되므로 임피던스 값의 오차 또한 크게 줄일 수 있다. 그리고, 본 발명의 둑티 비 조절에 의한 필터 응답 제어는 기존의 필터 응답 제어 방법들보다 프로그래밍 성능도 훨씬 우수하다. 따라서, 임피던스 소자를 포함하는 회로의 주파수 응답을 용이하게 제어할 수 있는 효과가 있다.

【특허 청구범위】**【청구항 1】**

입력 신호의 소정 대역의 주파수 성분을 제거하여 출력 신호를 발생하는 필터로서, 제1 임피던스 소자;와 상기 제1 임피던스 소자에 직렬로 연결되며 듀티 제어된 클럭에 의해 개폐되는 스위치;를 포함하는 상기 필터; 및
클럭 신호를 수신하고, 상기 클럭 신호의 듀티를 조절하여 상기 듀티 제어된 클럭을 발생하는 듀티비 제어기를 구비하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 2】

제1항에 있어서, 상기 듀티비 제어기는
클럭 단자로 상기 클럭 신호가 입력되고, 리셋 단자로 상기 클럭 신호를 소정 시간 지연한 지연 신호가 입력되는 플립플롭을 포함하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 3】

제2항에 있어서, 상기 듀티비 제어기는
상기 클럭 신호를 수신하여 상기 지연신호를 발생하는 지연소자로서, 소정의 듀티 제어 신호에 응답하여 상기 소정의 지연시간을 조절하는 상기 지연소자를 더 포함하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 4】

제1항에 있어서,

상기 제1 임피던스 소자와 상기 스위치는 출력 노드와 소정의 전압 노드 사이에
직렬로 연결되며,

상기 필터는 입력노드와 상기 출력 노드에 전기적으로 연결되는 제2 임피던스 소자
를 더 포함하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 5】

제1항에 있어서,

상기 필터는 증폭기; 상기 증폭기의 일단자와 출력 노드 사이에 전기적으로 연결
되는 제2 임피던스 소자; 및 상기 증폭기의 일단자와 입력 노드 사이에 전기적으로 연결
되는 제3 임피던스 소자;를 더 포함하며,

상기 제1 임피던스 소자와 상기 스위치는 상기 증폭기의 일 단자와 상기 출력 노드
사이에 직렬로 연결되는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제
어 장치.

【청구항 6】

제5항에 있어서,

상기 제1 임피던스 소자는 커패시터이고,

상기 제2 및 제3 임피던스 소자는 저항인 것을 특징으로 하는 임피던스 스케일링에
의한 주파수 응답 제어 장치.

【청구항 7】

제5항에 있어서,

상기 제1 및 제3 임피던스 소자는 저항이고,

상기 제2 임피던스 소자는 커패시터인 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 8】

제1항에 있어서, 상기 듀티 제어된 클럭의 듀티는 소정의 듀티 제어 신호에 응답하여 조절되는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 9】

제1항에 있어서, 상기 스위치는 모오스 트랜지스터로 구현되는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 10】

제1항에 있어서, 상기 스위치는 상기 주파수 응답 제어 장치의 입력 노드와 출력 노드간의 신호 경로를 제외한 다른 신호 경로에 위치하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 11】

제1항에 있어서, 상기 스위치는 상기 주파수 응답 제어 장치의 입력 노드와 출력 노드간에 상기 스위치를 포함하는 신호 경로외의 다른 신호 경로가 있는 경우에만 상기 입력 노드와 상기 출력 노드간의

신호 경로에 위치하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 12】

입력 신호의 소정 대역의 주파수 성분을 제거하여 출력 신호를 발생하는 필터로서, 임피던스 소자;와 상기 임피던스 소자에 직렬로 연결되며 듀티 제어된 클럭에 의해 개폐되는 스위치;를 포함하는 상기 필터; 및

상기 듀티 제어된 클럭을 발생하는 듀티비 제어기를 구비하며,

상기 필터의 주파수 응답은 상기 듀티 제어된 클럭의 듀티비에 응답하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 13】

제12항에 있어서, 상기 듀티비 제어기는

클럭 신호를 수신하고, 소정의 듀티 제어 신호에 응답하여 상기 듀티 제어된 클럭을 발생하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 14】

제12항에 있어서, 상기 스위치는

상기 주파수 응답 제어 장치의 입력 노드와 출력 노드간의 신호 경로를 제외한 다른 신호 경로에 위치하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【청구항 15】

제12항에 있어서, 상기 스위치는

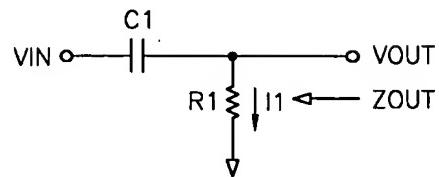
1020030012813

출력 일자: 2003/4/22

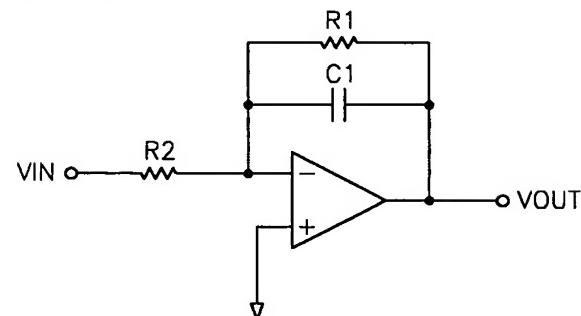
상기 주파수 응답 제어 장치의 입력 노드와 출력 노드간에 상기 스위치를 포함하는 신호 경로외의 다른 신호 경로가 있는 경우에만 상기 입력 노드와 상기 출력 노드간 신호 경로에 위치하는 것을 특징으로 하는 임피던스 스케일링에 의한 주파수 응답 제어 장치.

【도면】

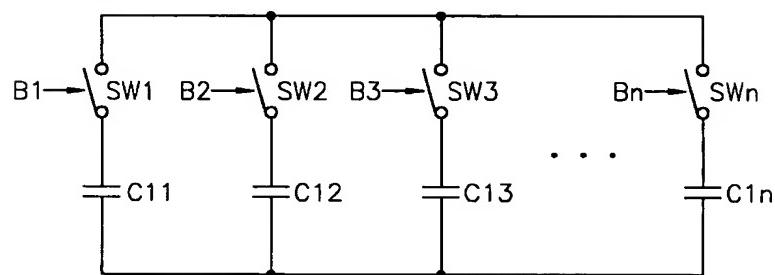
【도 1】



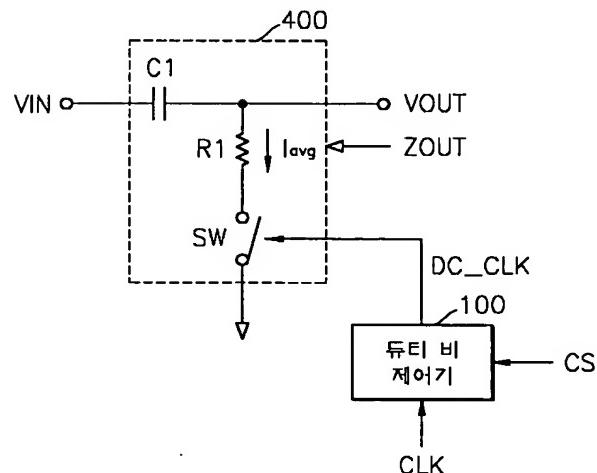
【도 2】



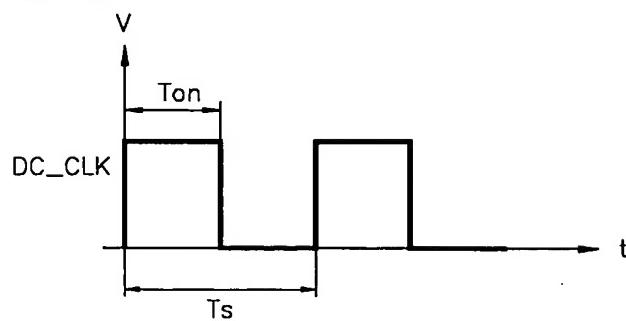
【도 3】



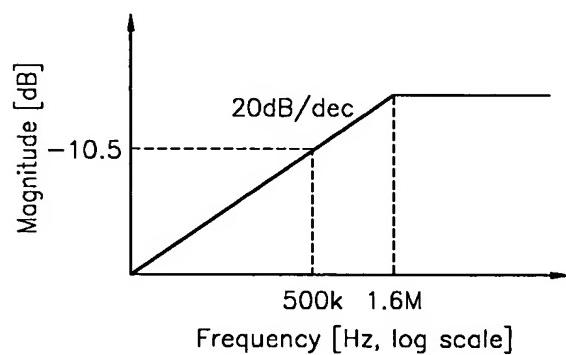
【도 4】



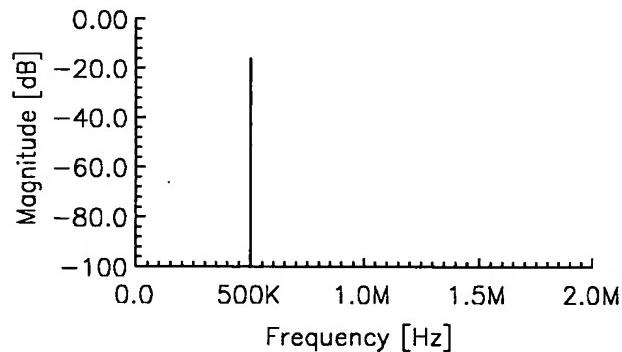
【도 5】



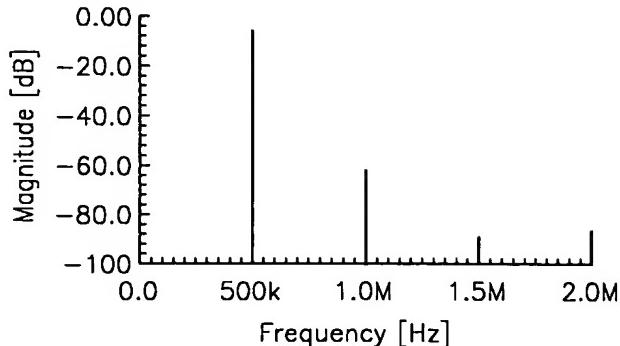
【도 6】



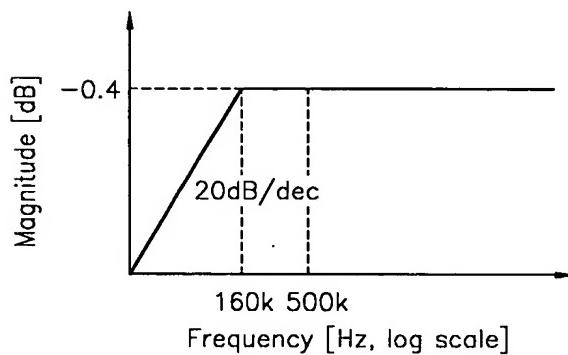
【도 7】



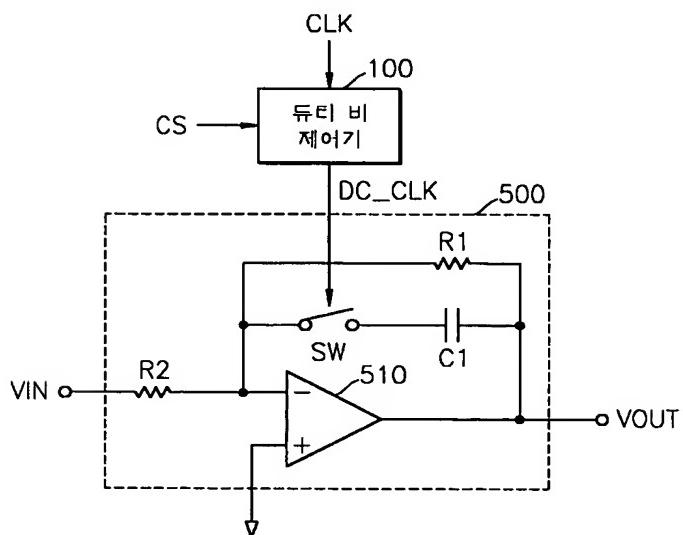
【도 8】



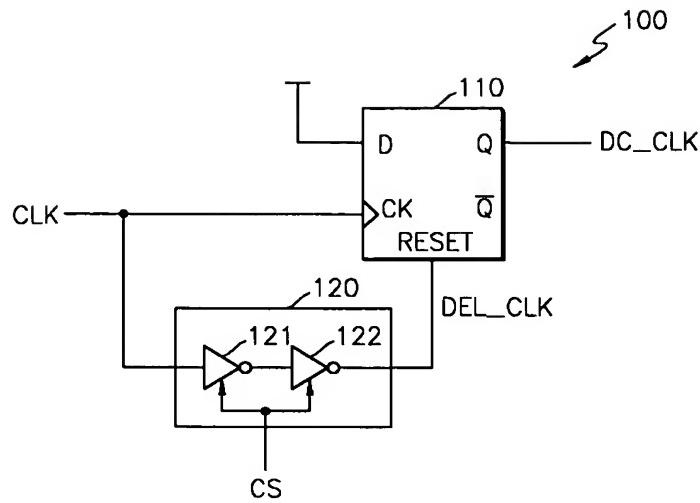
【도 9】



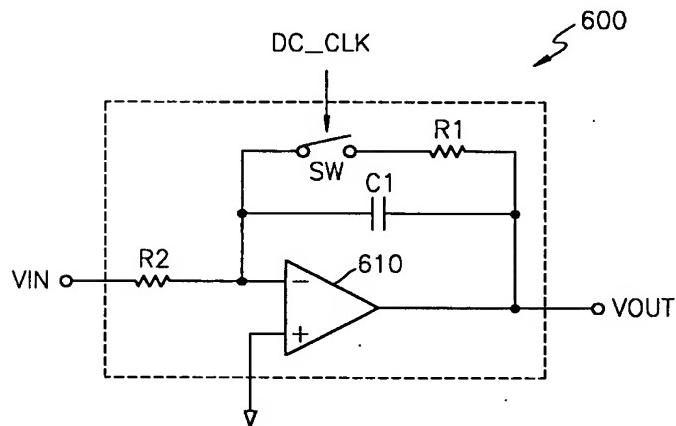
【도 10】



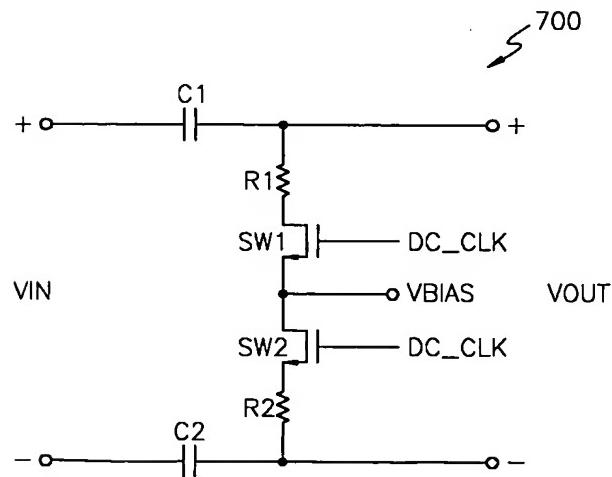
【도 11】



【도 12】



【도 13】



1020030012813

출력 일자: 2003/4/22

【도 14】

